

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-82377

⑬ Int. Cl.<sup>5</sup>

G 06 F 15/78  
9/44  
11/22  
H 01 L 27/04

識別記号

5 1 0 K  
3 4 0 E  
A  
F

庁内整理番号

7343-5B  
8724-5B  
7368-5B  
7514-5F  
7514-5F

⑭ 公開 平成2年(1990)3月22日

審査請求 未請求 請求項の数 1 (全8頁)

⑮ 発明の名称 半導体集積回路

⑯ 特 願 昭63-235515

⑰ 出 願 昭63(1988)9月19日

⑱ 発 明 者 桑 原 一 悦 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称  
半導体集積回路

2. 特許請求の範囲

一つ以上のマイクロコンピュータとこのマイクロコンピュータとは別の機能を有する回路ブロックとが同一のデバイス上に集積されて互いに接続され、さらに必要な信号を該マイクロコンピュータと前記回路ブロック間で授受している半導体集積回路において、モード切り替え信号を該半導体集積回路の外部から入力する手段と、前記モード切り替え信号に基づいて、半導体集積回路内部の少なくとも2つの部分から半導体外部に向けて入出力される信号群を切り替えて入出力する外部端子入出力切り替え回路と、マイクロコンピュータから前記外部端子入出力切り替え回路に信号群を入出力する手段と、前記モード切り替え信号に基づいて前記マイクロコンピュータと前記回路ブ

ロックの接続を切る手段と、前記モード切り替え信号に基づいて前記回路ブロックからマイクロコンピュータに向けて入出力していた信号を新らたに、外部端子入出力切り替え回路を経由して該半導体集積回路の外部に入出力する手段とを設けたことを特徴とする半導体集積回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体集積回路に関し、特にマイクロコンピュータと様々な回路が同一デバイス上で結合された半導体集積回路に関する。

〔従来の技術〕

現在マイクロコンピュータ(以下、CPUという)をメインにして、この他に様々な機能を持ったデバイスを同一デバイス上で結合して新たな集積回路を設計する手法が盛んになってきている。これは、従来は2つ以上のデバイスであったものが1つのデバイスで済むという、実装面積上で大きなメリットが得られるからである。



実装上では大きなメリットがあり、さらに集積回路だけの視点で考えた場合特に問題の無いこの方法も、プログラム開発の点から考えると難しい問題がある。以下にこの点について述べる。

まず、第2図は従来タイプのCPUとその他の機能を持った回路ブロックが結合された半導体集積回路20の構成図である。これは、メインになるCPU10とCPU10以外の機能を持った専用部3、CPU10からの入出力を先ほどの専用部か集積回路外部に入出力するかを決定する制御部6、およびそれらを結ぶバス11a、11b、さらに専用部から集積回路外部に入出力する信号群バス2、CPU10から集積回路外部に入出力する信号群バス8から構成されている。信号群バス2、8は端子として集積回路に装備されている。

通常マイクロコンピュータのプログラム開発は、任意のプログラムアドレスからのプログラム実行および中断、中断後のマイクロコンピュータ内部の状態の確認および状態の変更、マイクロコンピュータの実行状態のトレースなど（以後これら

を評価機能と呼ぶ）を行ないながら進めていく。そこでこのような機能を持ったインサート・エミュレータと呼ばれるシステムを用いて開発を行なうことになる。この使い方は、本来マイクロコンピュータが実装される場所にこのエミュレータをプローブと呼ばれる接続具を介してつなぎ、このエミュレータにこの集積回路と同じ動作を疑似的にさせることにより行なっていく。このようなシステムがないと、どのようなマイクロコンピュータでもプログラム開発を効果的に行うことはできない。

第2図に示す集積回路（これはマイクロコンピュータがメインになっているので一種のマイクロコンピュータとみなせ、やはりエミュレータが必要となる）用のエミュレータの構成は第3図のようになる。ここで注意すべきことは、エミュレータは疑似的に集積回路20と同じ動作をする必要がありさらに先ほど述べた評価機能をも装備しなければならないということである。しかし、このためにエミュレータをTTLデバイスなどだ

- 3 -

- 4 -

けで組むことは実行速度の問題、回路規模の点から実用的ではない。また、一つの集積回路上にこれらすべての評価機能を持たせることもプロセス技術上／開発工数上現実的ではない。

そこで、通常は集積回路20をいくつかの集積回路に分割し、さらに様々な回路（たとえば、ブレイク条件検出回路、トレースメモリ、トレースメモリ制御回路など）をこれら分割された集積回路に付加してエミュレータを構成する。また通常CPU10は単独で一つの集積回路にされ、しかもここに若干の評価機能（たとえば、ブレイク時の内部状態確認手段など）が装備される（以後このような集積回路を評価用チップと呼ぶ）。なぜなら専用部に新たな機能が追加されたような場合でも、このよう構成にすることによりCPU部分のエミュレータは変更することなく専用部だけ変更すればすむからである。

この他の構成要素は、専用部だけを独立させた集積回路（以後専用部LSI）31、専用部LSI31から入出力されているバス32（これは図2

のバス2と同じであり）、第2図のバス11bと同じバス42がある。また、評価用チップから入出力されているバス41は第2図のバス11aと、バス36はバス8とそれぞれ同じである。

エミュレータにはこれら評価用チップ40と専用LSI31を用いるが、この他に實際上プログラム開発に必要な複雑な実行／中断を評価用チップ上の前述した簡単な機能を制御して行ない、さらにトレース機能、エミュレータとのマンマシンインタフェース機能を持ったコントローラ部39、また集積回路20での制御部6と同等な回路制御回路37などがある。さらに、エミュレータと外部とのインタフェース回路33がある。

ここで示したように、従来のこの種の半導体集積回路の構成では、プログラム開発を行なうために必要なエミュレータを作る際には評価用チップ、専用LSI、制御部回路、さらにコントローラを設計する必要がある。このほか、もちろん目的である集積回路自身も設計する必要があった。

この様な事をさけるために、以下の試みもなさ

- 5 -

- 6 -



れている。

① アーキテクチャは同一にして専用部のみ異なる半導体集積回路を種々準備するといったファミリ化を行い、同一ファミリのそれぞれの集積回路用のエミュレータにはそのファミリと同一のアーキテクチャでかつ考えうる最大の資源（ファミリ中のすべての専用部を含んでいる）を有するただ一つの評価用チップを用いる手法である。

② 評価用チップも開発せず目的とする集積回路（シングルチップマイクロコンピュータ）ただ一つですべてもまかなおうとする手法。

このマイクロコンピュータは、通常モードとデバッグモードの2つのモードに切り換えるモード切り替え手段と、命令をデコードする命令デコーダと、複数の外部端子と外部端子制御回路とモード切り替え手段がデバッグモードに切り替わっているときには先ほどの複数の外部端子のうちの所定の外部端子を命令入力端子またはデータ入出力端子に指定し、かつシングルチップ・マイクロ

- 7 -

このようにこの手法では、2個の同一なシングルチップ・マイクロコンピュータを用いて評価用チップを構成している。

〔発明が解決しようとする課題〕

上述したように、従来のような半導体集積回路のままプログラム開発用にエミュレータを開発すると、集積回路自体の設計の他に評価用チップ、さらに専用LSIを設計する必要がある。

評価用チップは、1回設計してしまえば、それ以後はそのCPUを用いる限り使用することができるが、特に専用LSIは新たにこの種の半導体集積回路を設計するたびに設計する必要がある膨大な工数を消費することになっていた。

また、従来技術の項で説明した手法については、①については、専用部のファミリ内でのすべての機能が評価用チップを設計する段階で決定していないといけな。これでは現在の集積回路の開発スピードあるいはカスタマからの突然の仕様変更には全く対処できない。ファミリ内の種類が多い場合にはプロセス技術上の問題で実現できないこ

- 9 -

ンピュータをマスタまたはスレーブに指定する機能分担指定手段とを備えている。前記モード切り換え手段が通常モードに切り替わっている場合には前記命令デコーダはマイクロコンピュータ内のプログラム格納メモリから出力される命令をデコードし、デバッグモードに切り替わっている場合は機能分担指定手段により命令入力端子に指定された外部端子から入力された命令をデコードする。もし、このマイクロコンピュータがスレーブに指定されており命令入力端子・データ入出力端子のいずれにも指定されていない外部端子を制御する命令（すなわち専用部に対する命令）がデコードされた場合には外部端子を操作するためのデータをデータ入出力端子に指定された外部端子より入力または出力する。また、このマイクロコンピュータがマスタに指定されており命令入力端子または前記データ入出力端子に指定された外部端子を操作する命令がデコードされた時には外部端子を操作すべきデータをデータ入出力端子に指定された外部端子に出力または入力する。

- 8 -

とも十分に考えられる。

②については、マスタ側に指定されたシングルチップマイクロコンピュータ（CPU機能を持たせた側）とスレーブ側に指定されたシングルチップマイクロコンピュータ（専用部機能を持たせている）間のデータの授受はすべて命令単位にしか行われなため、つまり、あらかじめ命令によりデータの授受を行うことがわかっている時にしかこの手法は有効にならない（たとえば、I/Oとしてのリードライト命令）ために、命令でそのアクセスを検出できない非同期系のデータの授受（たとえば、専用部からCPUにたいする割り込みなど）があるマイクロコンピュータにはまったく対応できなかった。また、データの授受をすべてCPU部が管理するので、そのための回路等が必要になり、マイクロコンピュータの設計が複雑になってしまう欠点もあった。

〔課題を解決するための手段〕

そこで本発明では、マイクロコンピュータと専用部から構成される半導体集積回路用エミュレー

- 10 -



タのために、エミュレータだけにしか使用できない専用部LSIをいちいち設計しなくとも良いように、あらかじめ集積回路に、モード切り替え信号を該半導体集積回路の外部から入力する手段と、半導体集積回路内部の少なくとも2つの部分から半導体外部に向けて入出力される信号群を該モード切り替え信号に基づいて、切り替えて入出力する外部端子入出力切り替え回路と、前記モード切り替え信号に基づいて前記マイクロコンピュータと前記回路ブロックの接続を切る手段と、マイクロコンピュータから外部端子入出力切り替え回路に信号群を入出力する手段と、前記モード切り替え信号に基づいて前記回路ブロックからマイクロコンピュータに向けて入出力していた信号を新たに、外部端子入出力切り替え回路に入出力する手段とを設けている。

かくして、CPUとCPU以外の回路ブロック間のデータの授受機能を切断し、さらにCPUとCPU以外の回路ブロック間のデータ授受を回路ブロックと集積回路外部との間のデータ授受に置

- 11 -

外部端子入出力切り替え部7もバス切り替え部4と同様にモード切り替え信号により、バス11dを通して制御部6経由でCPU10から授受される集積回路外部入出力用データだけを集積回路外部に入出力できるようにバスを制御する。バス8はCPU10から入出力されるデータ用のバスである。

モード切り替え信号が先ほどの通常モードから切り替わった場合（以下このモードを評価モードと呼ぶ）は以下の様な動作になる。

モード切り替え信号9が評価モードになったことにより、バス切り替え部4は通常モード時には接続されていたCPU10と制御部6との接続を切り離す。同様に端子切り替え部7も制御部6からのデータを集積回路外部に入出力できないようにバスを切り替える。次に評価モードになったことにより、バス切り替え部4はバス11a, 11b, 11cを通して専用部3とCPU10の間で行なわれていたデータの授受をバス11b, 11c, バス切り替え部4, バス5を通しての外部端子入

き換えることができる。

#### 〔実施例〕

第1図は本発明の第1実施例である半導体集積回路1の構成図である。この集積回路にも従来技術の項目で述べた集積回路と同様に、メインとなるマイクロコンピュータ（以後CPU）10とこのCPUとは別の機能を持った回路ブロックである専用部3、CPUの入出力をこの集積回路外部から専用部3に入出力するかを制御する制御部6が存在している。また専用部3から集積回路外部に入出力されているバスも同じ機能である。

次に本発明による集積回路の動作について記述する。まず、集積回路外部から入力されるモード切り替え信号9が通常モードを指定している場合についてまとめる。この時、制御部6とCPU10の間に挿入されているバス切り替え部4はCPU10からのデータを制御部6だけに入出力するようにバスの方向を制御する。これにより、CPU10と専用部3はデータの授受がバス11a, 11b, 11cを通して行えるようになる。また、

- 12 -

出力切り替え部7との間で行なうデータ授受に切り替える。これにより専用部3とCPU10との間で行っていたデータの授受が専用部3と集積回路外部との授受に置き替わることになる。

これら切り替え部などは現在の回路技術で容易に設計できるのでここではその詳細な回路構成については記述しない。

次に本発明による集積回路用のプログラム開発用エミュレータについて第4図を用いて説明する。

基本的な使用法は、従来技術の項で述べた物と同様にプローブ35を本来集積回路が実装される箇所に接続して、エミュレータを疑似集積回路として用いることにより行なう。

エミュレータの構成は以下のようになる。まずプローブ35と接続バス34、エミュレータ50と外部とのインタフェース部33は従来技術の項で説明したものと同一である。CPU10の内部状態確認／変更およびプログラム実行／中断を行うための評価用チップ40と評価用チップ40を制御するコントローラ39も従来技術と同様に必

- 13 -

- 14 -



要である。この他には従来とは異なり本発明による集積回路1だけが必要になる。

動作について説明する。まず、コントローラ39は集積回路1をモード切り替え信号9で前述した評価モードに設定する。これにより、バス8を通して外部と集積回路1内の回路ブロック(専用部3および制御部6)が直接データの入出力を行えるようになる。この集積回路から入出力されているバス8は評価用チップ40に接続されているが、これにより本来(すなわち通常モードでは)集積回路内でCPU10と回路ブロック(専用部3、制御部6)が接続されている状態がエミュレータ内で再現できたことになる。すなわち、評価用チップ40と評価モードの集積回路1でデータの授受を行なうことにより通常モードの集積回路1内でCPU10と回路ブロック(専用部3と制御部6)がデータの授受を行なうことと等価な状態が再現できたことになる。

また、専用部3から集積回路外部に入出力されるデータは集積回路1と同様にバス2を通して入

出力され、CPU10から制御部6を経由しバス8を通して外部に入出力されるデータはバス61を通してエミュレータ外部に入出力される。これによりエミュレータ50は集積回路1が集積回路外部とデータの入出力を行なう機能と等価な機能を持ったことになる。

さらに、コントローラ39に評価用チップ40などを制御する評価機能を持たせることによりインサーキット・エミュレータが実現できる。

第5図は本発明の第2実施例である。ここで、第1実施例における専用部をCPUとメモリの組合せに置き換えたものである。

CPUb61はその命令をメモリ64にアクセスすることにより得る。また、CPUa10とCPUb61は実施例1の時と同様にバス11a, 11b, 11cを通して接続されている。他の構成要素は実施例1と同じである。

動作についても実施例1と同じく、モード切り替え信号9により評価モードにすることによりエミュレータに使用することができる。

- 15 -

- 16 -

#### 〔発明の効果〕

本発明による半導体集積回路は、内蔵されるマイクロコンピュータとそれ以外の回路ブロック間のデータの授受を回路ブロックとこの集積回路外部との間でも行えるようにしたことにより、この種のマイクロコンピュータのプログラムに不可欠なイン・サーキット・エミュレータの開発に必要なエミュレータ用集積回路の開発数を少なくすることができるようになる特徴がある。

#### 4. 図面の簡単な説明

第1図は本発明一実施例による半導体集積回路、第2図は従来のCPUと回路ブロックが同一デバイス上に結合された半導体集積回路の構成図、第3図は第2図に示す従来の半導体集積回路用エミュレータの構成図、第4図は本発明である集積回路用エミュレータの構成図、第5図は第2実施例である半導体集積回路である。

1……第1実施例による半導体集積回路、  
2……専用部3と外部とのデータの授受を行なう

バス、3……CPU10以外の機能をもった回路ブロックである専用部、4……バス切り替え部、5……バス切り替え部4と外部端子入出力切り替え部7との間のバス、6……CPU10の入出力信号を専用部3に対して行うか外部端子入出力切り替え部に行うかを制御する制御部、7……集積回路外部に入出力する信号群を切り替える外部端子入出力切り替え部、8……外部に入出力するバス、9……モード切り替え信号、10……マイクロコンピュータ、11a, 11b, 11c, 11d……バス、20……従来技術の項で説明しているの半導体集積回路の構成図、30……集積回路20用のエミュレータ、31……専用部LSI、32……バス、33……インターフェース回路、34……ケーブル、35……プローブ、36……バス、37……制御部回路、38a, 38b……バス、39……コントローラ、40……評価用チップ、41……バス、42……バス、50……本発明である集積回路用エミュレータの構成図、51……バス、60……第2実施例になる半導体集積回路、

- 17 -

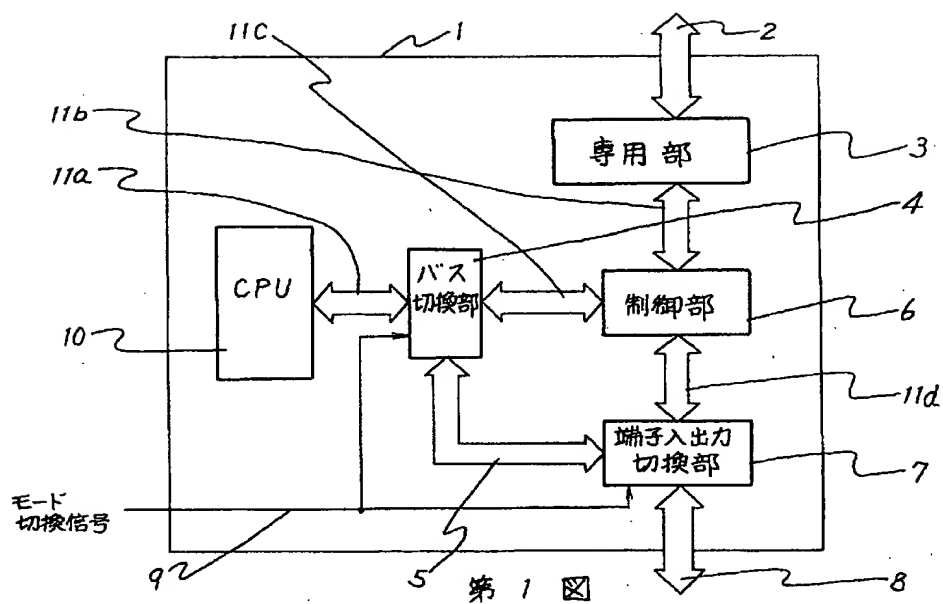
- 18 -



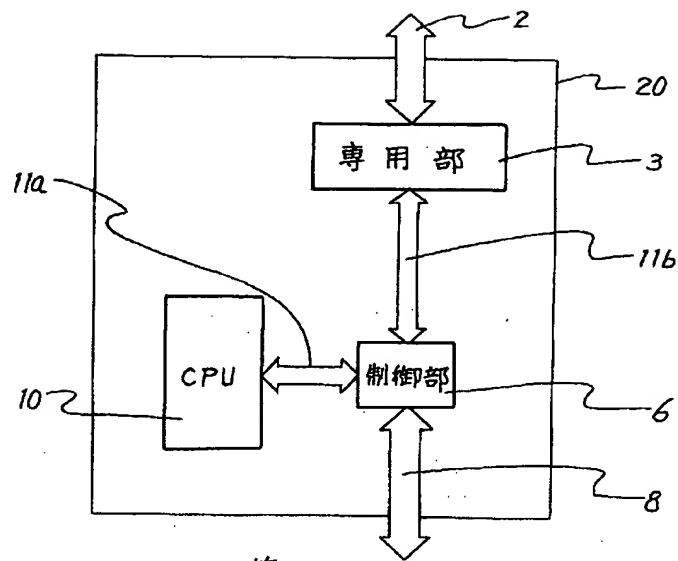
61……マイクロコンピュータ、62……バス、  
63……バス、64……メモリ。

代理人 弁理士 内 原 晋

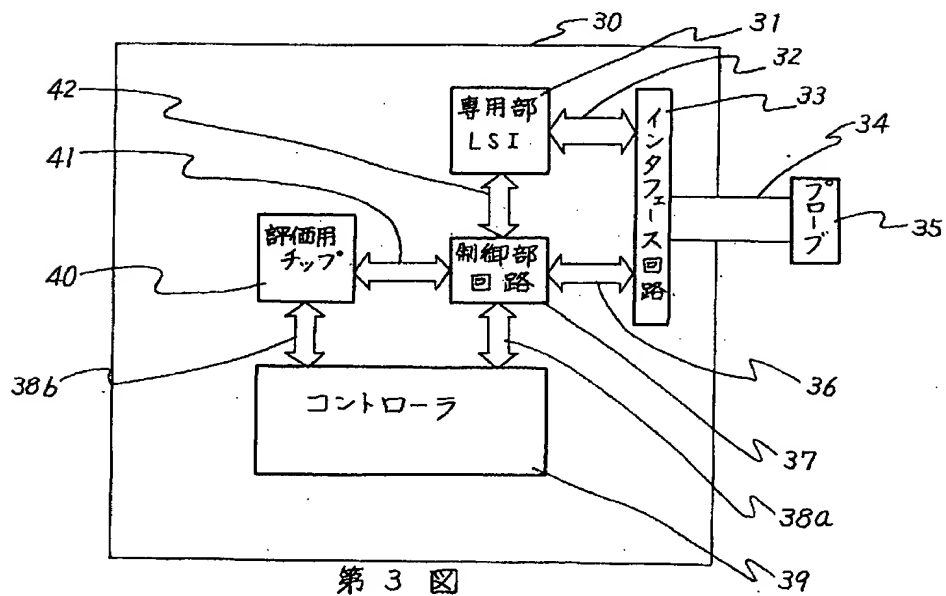
- 19 -





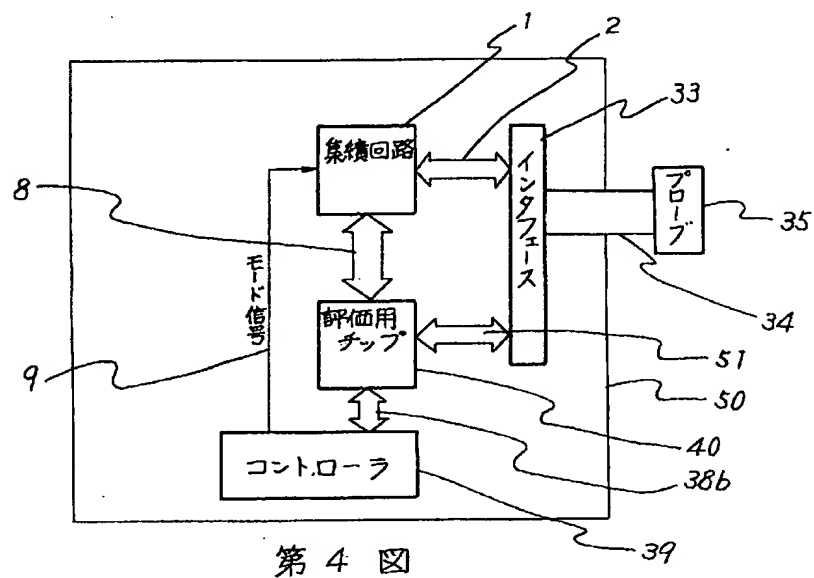


第 2 図

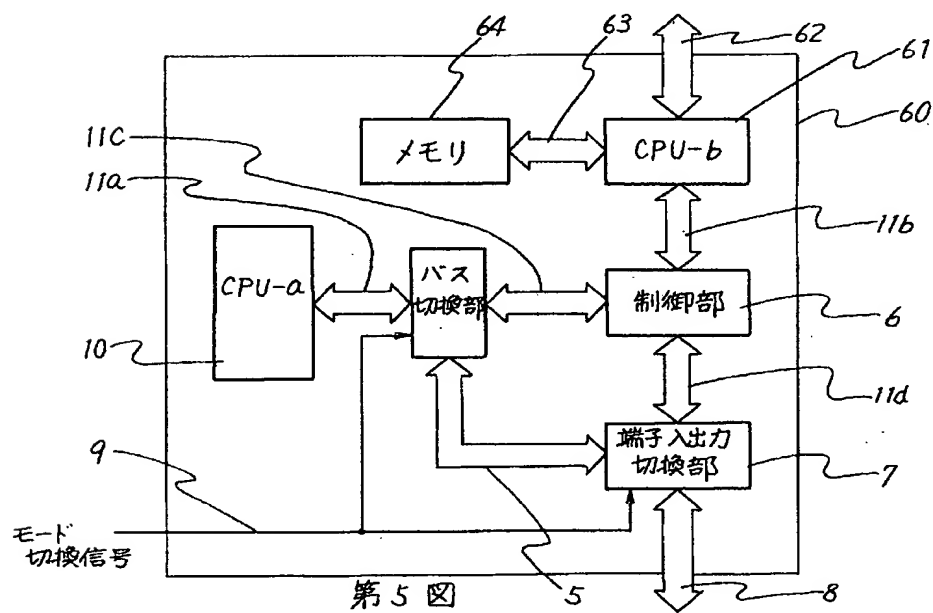


第 3 図





第 4 図



第 5 図